

PATENT OFFICE
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: February 23, 2000

Application Number: Japanese Patent Application
No. 2000-046226

Applicant(s) FUJITSU LIMITED

January 5, 2001

Commissioner,
Patent Office

Kouzo Oikawa (Seal)

Certificate No.2000-3109959

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC564 U.S. PTO
09/772080
01/30/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日

Date of Application:

2000年 2月23日

出 願 番 号

Application Number:

特願2000-046226

出 願 人

Applicant(s):

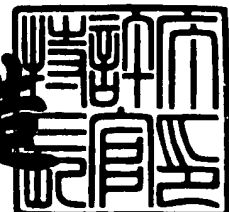
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 1月 5日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3109959

【書類名】 特許願

【整理番号】 9903258

【提出日】 平成12年 2月23日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H03L 7/18

【発明の名称】 遅延時間調整回路と遅延時間調整方法

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 谷口 暢孝

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 富田 浩由

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 遅延時間調整回路と遅延時間調整方法

【特許請求の範囲】

【請求項 1】 入力信号と出力信号の位相が一致するように前記入力信号の遅延時間を調整する遅延時間調整回路であって、

前記入力信号を第一の分周率で分周する第一の分周手段と、

前記入力信号を所定時間遅延させる遅延手段と、

前記遅延手段で遅延された信号を第二の分周率で分周する第二の分周手段と、

前記第一の分周手段で生成された信号と前記第二の分周手段で生成された信号との位相を比較する位相比較手段と、

前記位相比較手段における前記比較の結果に応じて、前記遅延手段で遅延させる前記所定時間を調整する遅延調整手段とを備えたことを特徴とする遅延時間調整回路。

【請求項 2】 前記第一の分周率は 1 とされる請求項 1 に記載の遅延時間調整回路。

【請求項 3】 前記位相比較手段は、前記第二の分周手段で生成された信号に応じて、前記比較の結果を示す信号を前記遅延時間調整手段に供給する請求項 1 に記載の遅延時間調整回路。

【請求項 4】 入力信号と出力信号の位相が一致するように前記入力信号の遅延時間を調整する遅延時間調整方法であって、

前記入力信号を第一の分周率で分周した信号の位相と、前記入力信号を所定時間遅延させ第二の分周率で分周した信号の位相とを比較する第一のステップと、

前記第一のステップにおける前記比較の結果、双方の前記位相が一致するように前記所定時間を調整する第二のステップとを有することを特徴とする遅延時間調整方法。

【請求項 5】 前記第一の分周率は 1 とされる請求項 4 に記載の遅延時間調整方法。

【請求項 6】 前記第二のステップにおいては、前記第二の分周率で分周した信号に応じた頻度で前記所定時間を調整する請求項 4 に記載の遅延時間調整方

法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路において伝送される信号の遅延時間を調整する遅延時間調整回路と遅延時間調整方法に関するものである。

【0002】

【従来の技術】

従来より、DDR (Double Data Rate) - SDRAM等のように高速動作が要求され、DLL (Delayed Locked Loop) 回路が搭載された半導体集積回路においては、クロック信号の位相を調整するための遅延時間調整回路が備えられている。

【0003】

図1は、従来の上記遅延時間調整回路の構成を示す図である。図1に示されるように、この遅延時間調整回路は入力バッファ1と、出力バッファ5と、分周器2、4と、DLLアレイ3と、ダミー回路6と、位相比較器8と、ディレイ調整器10とを備える。

【0004】

ここで、入力バッファ1はクロック信号を入力して、信号Cinを出力する。また、分周器2及びDLLアレイ3は入力バッファ1に接続され、分周器4及び出力バッファ5はDLLアレイ3の出力端に接続される。ここで、分周器2はターゲットクロック信号tclkを出力し、DLLアレイ3は信号Coutを出力し、バッファ5はDLLアレイ3により遅延されたクロック信号を出力する。さらに、上記分周器2と分周器4の分周率は同率とされる。

【0005】

また、ダミー回路6は分周器4に接続され、遅延クロックdclkを出力する。そして、位相比較器8は分周器2及びダミー回路6の出力端に接続され、供給されたターゲットクロック信号tclk及び帰還した遅延クロックdclkに応じて、結果を示す信号outをディレイ調整器10へフィードバックする。また、ディレイ調整

器 1 0 の出力端は D L L アレイ 3 に接続され、ディレイ調整器 1 0 から D L L アレイ 3 へ制御信号 C S が供給される。

【 0 0 0 6 】

図 2 は、図 1 に示された D L L アレイ 3 の構成を示す回路図である。図 2 に示されるように、D L L アレイ 3 は並列接続された複数のスイッチ S W 1 ～ S W n を含む切り替え部 3 1 と、各スイッチ S W 1 ～ S W n に対応するよう設けられたインバータ I N V 1 ～ I N V n とを含む。ここで、切り替え部 3 1 に含まれた各スイッチ S W 1 ～ S W n の切り替えは、ディレイ調整器 1 0 から供給される制御信号 C S により制御される。なお、上記インバータ I N V 1 ～ I N V n のそれぞれにおいては、信号が時間 t_d だけ遅延される。

【 0 0 0 7 】

上記の回路においては、入力バッファ 1 における遅延時間を d_1 、出力バッファ 5 における遅延時間を d_2 とすると、ダミー回路 6 の遅延時間は $(d_1 + d_2)$ とされる。また、D L L アレイ 3 の遅延時間を d_3 とすると、入力バッファ 1 に入力されたクロック信号が出力バッファ 5 から出力されるまでの遅延時間は $(d_1 + d_2 + d_3)$ となる。

【 0 0 0 8 】

さらに、分周器 2, 4 の遅延時間を d_4 とすると、入力バッファ 1 に入力されたクロック信号がターゲットクロック信号 $tclk$ として位相比較器 8 に入力されるまでの遅延時間は $(d_1 + d_4)$ となり、入力バッファ 1 に入力されたクロック信号が遅延クロック信号 $dclk$ として位相比較器 8 に入力されるまでの遅延時間は $(d_1 + d_3 + d_4 + (d_1 + d_2))$ となる。

【 0 0 0 9 】

従って、ターゲットクロック信号 $tclk$ と遅延クロック信号 $dclk$ における遅延時間の差は $(d_1 + d_2 + d_3)$ となるため、該差は入力バッファ 1 に入力されたクロック信号が出力バッファ 5 から出力されるまでの遅延時間と一致する。これより、入力バッファ 1 に入力されるクロック信号と、出力バッファ 5 から出力されるクロック信号 5 との位相を揃えるために、ターゲットクロック信号 $tclk$ と遅延クロック信号 $dclk$ における遅延時間の差 $(d_1 + d_2 + d_3)$ が該クロック信

号における n (n は 1 又は 2、あるいは他の自然数) 個のクロック分の時間に相当するよう、ディレイ調整器 10 によって D L L アレイ 3 での遅延時間が調整される。

【0 0 1 0】

以下において、上記遅延時間調整回路の動作を図 3 から図 7 を参照しつつ説明する。図 3 (a) から図 3 (c) に示されるように、遅延クロック信号の位相がターゲットクロック信号に対して時間 F_1 だけ遅れている場合には、ターゲットクロック信号がロウレベル (L) からハイレベル (H) となるいわゆる立ち上がり時刻 T_1 , T_2 , T_3 では、遅延クロック信号はロウレベルとなっている。従って、このような場合には、位相比較器 8 は、遅延クロック信号の位相がターゲットクロック信号に対して遅れているという判定結果 (decrease) を示す信号 out をディレイ調整器 10 へ供給する。

【0 0 1 1】

これより、ディレイ調整器 10 は信号 out に応じた制御信号 CS を D L L アレイに供給し、D L L アレイ 3 における遅延時間が時間 F_1 だけ短縮される。以上のような動作により、遅延クロック信号の位相がターゲットクロック信号の位相に揃えられる。また同様に、遅延クロック信号の位相が、ターゲットクロック信号に対して時間 F_1 よりも長い時間 F_2 ないし F_4 だけ遅れている場合がそれぞれ図 4 から図 6 に示されるが、これらの場合も上記と同様に動作する。

【0 0 1 2】

また、図 7 に示されるように、遅延クロック信号の位相がターゲットクロック信号に対してさらに長い時間遅れている場合には、時刻 T_2 , T_3 において遅延クロック信号はハイレベルとなる。このような場合には、遅延クロック信号の最初のクロックがターゲットクロック信号の第二番目のクロックに対して進んでいるという判定結果 (increase) を示す信号 out をディレイ調整器 10 へ供給する。

【0 0 1 3】

これより、ディレイ調整器 10 は信号 out に応じた制御信号 CS を D L L アレイに供給し、D L L アレイ 3 における遅延時間が時間 F_5 だけ延長される。従っ

て、図 7 に示されたような場合には、ターゲットクロック信号における第二番目のクロックを基準として、遅延クロック信号の位相がターゲットクロック信号の位相に揃えられる。

【 0 0 1 4 】

ここで、図 1 に示された位相比較器 8 の回路構成が図 8 に示される。図 8 に示されるように、位相比較器 8 は NAND 回路 8 0 ～ 8 5 を含み、ターゲットクロック信号 tclk が NAND 回路 8 1, 8 2 へ供給され、遅延クロック信号 dclk が NAND 回路 8 3 へ供給される。そして、NAND 回路 8 4 の出力端から信号 out が出力される。

【 0 0 1 5 】

図 9 は、遅延クロック信号 dclk の最初のクロックがターゲットクロック信号 tclk の一番目のクロックより遅れている場合の上記位相比較器 8 の動作を示す波形図である。なお、図 9 においては、遅延クロック信号 dclk とターゲットクロック信号 tclk 及び信号 out の他に、図 9 (c) から図 9 (f) において、それぞれ NAND 回路 8 0 ～ 8 3 の出力ノード NA, NB, NC, ND における電位変動が示されている。

【 0 0 1 6 】

ここで、図 9 に示されるように、遅延クロック信号 dclk の最初のクロックがターゲットクロック信号 tclk の一番目のクロックより遅れている場合には、ターゲットクロック信号 tclk のいわゆる立ち上がり時刻 TA 以前においては、NAND 回路 8 4, 8 5 によりハイレベル又はロウレベルの信号 out がラッチされる。そして、時刻 TA においてターゲットクロック信号 tclk がハイレベルとなると、ノード NB の電位がロウレベルに下がり、その結果として信号 out がロウレベルに固定される。このようにして、位相比較器 8 はロウレベルの信号 out をディレイ調整器 1 0 に供給することにより、遅延クロック信号の最初のクロックがターゲットクロック信号の一番目のクロックに対して遅れているという判定結果 (decrease) をディレイ調整器 1 0 へ伝達する。

【 0 0 1 7 】

同様に、図 1 0 は、遅延クロック信号 dclk の最初のクロックがターゲットクロ

ック信号tclkの一番目のクロックより進んでいる場合の上記位相比較器 8 の動作を示す波形図である。なお、図 1 0 においても、遅延クロック信号dclkとターゲットクロック信号tclk及び信号outの他に、図 1 0 (c) から図 1 0 (f) において、それぞれNAND回路 8 0 ～ 8 3 の出力ノードNA, NB, NC, NDにおける電位変動が示されている。

【 0 0 1 8 】

ここで、図 1 0 に示されるように、遅延クロック信号dclkの最初のクロックがターゲットクロック信号tclkの一番目のクロックより進んでいる場合には、ターゲットクロック信号tclkのいわゆる立ち上がり時刻TA以前においては、NAND回路 8 4, 8 5 によりハイレベル又はロウレベルの信号outがラッチされる。そして、時刻TAにおいてターゲットクロック信号tclkがハイレベルとなると、ノードNAの電位がロウレベルに下がり、その結果として信号outがハイレベルに固定される。このようにして、位相比較器 8 はハイレベルの信号outをディレイ調整器 1 0 に供給することにより、遅延クロック信号の最初のクロックがターゲットクロック信号の一番目のクロックに対して進んでいるという判定結果 (decrease) をディレイ調整器 1 0 へ伝達する。

【 0 0 1 9 】

なお、上記DLLアレイ 3 における遅延時間は、上記切り替え部 3 1 に含まれたスイッチSW1～SWnを切り替えることにより調節できる可変遅延成分と、DLLアレイ 3 の回路特性に起因して存在する固定遅延成分とを含む。

【 0 0 2 0 】

従来の遅延時間調整回路は、上記のように動作するが、半導体集積回路の動作の高速化に伴い入力バッファ 1 へ供給される信号が高周波数化すると、遅延クロック信号とターゲットクロック信号との位相を許容範囲内で揃えるロックオンにおいて、必要とされる総遅延時間に占める上記固定遅延成分の割合が大きくなってくる。

【 0 0 2 1 】

そしてこのような場合に、従来においては、位相を揃える基準とするターゲットを時間的に先送りするため、分周器 2, 4 における分周率を上げるという対策

が講じられてきた。

【 0 0 2 2 】

しかしながら、上記の分周器 2 において供給されたクロック信号を n 分周することは、ターゲットを 2^n 個のクロック分だけ時間的に先送りすることになるため、上記のように分周率を上げるべく上記 n を大きくすると、クロック信号の低周波帯域をも考慮したとき膨大な段数の遅延段を D L L アレイ 3 内に設ける必要が生じ、回路規模が増大してしまうという問題があった。

【 0 0 2 3 】

【発明が解決しようとする課題】

本発明は、上述の問題を解消するためになされたもので、高速に信号の遅延時間を調整できる遅延時間調整方法と、該遅延時間調整方法を実現する回路規模が低減された遅延時間調整回路とを提供することを目的とする。

【 0 0 2 4 】

【課題を解決するための手段】

上記の目的は、入力信号と出力信号の位相が一致するように入力信号の遅延時間を調整する遅延時間調整回路であって、入力信号を第一の分周率で分周する第一の分周手段と、入力信号を所定時間遅延させる遅延手段と、遅延手段で遅延された信号を第二の分周率で分周する第二の分周手段と、第一の分周手段で生成された信号と第二の分周手段で生成された信号との位相を比較する位相比較手段と、位相比較手段における比較の結果に応じて、遅延手段で遅延させる所定時間を調整する遅延調整手段とを備えたことを特徴とする遅延時間調整回路を提供することによって達成される。このような手段によれば、第一の分周手段が第一の分周率を変化させることにより遅延時間を調整する際の基準を任意の間隔で設定し、第二の分周手段が第二の分周率を変化させることによって位相比較の頻度を任意に設定することができる。

【 0 0 2 5 】

ここで、第一の分周率を 1 とすることができる。このような手段によれば、第一の分周手段を実現するための回路素子が不要となる。また、位相比較手段は、第二の分周手段で生成された信号に応じて、比較の結果を示す信号を遅延時間調

整手段に供給するものとすることができる。このような手段によれば、第二の分周手段における第二の分周率を変えることによって、位相を比較する頻度を調節することができる。

【 0 0 2 6 】

また、本発明の目的は、入力信号と出力信号の位相が一致するように入力信号の遅延時間を調整する遅延時間調整方法であって、入力信号を第一の分周率で分周した信号の位相と、入力信号を所定時間遅延させ第二の分周率で分周した信号の位相とを比較する第一のステップと、第一のステップにおける比較の結果、双方の位相が一致するように所定時間を調整する第二のステップとを有することを特徴とする遅延時間調整方法を提供することにより達成される。このような手段によれば、第一の分周率を変化させることにより遅延時間を調整する際の基準を任意の間隔で設定し、第二の分周率を変化させることによって位相比較の頻度を任意に設定することができる。

【 0 0 2 7 】

また上記において第一の分周率を 1 とすれば、入力信号をそのまま上記比較の対象とすることとなるため、第一のステップにおける比較の結果をより速く得ることができる。また、第二のステップにおいては、第二の分周率で分周した信号に応じた頻度で上記所定時間を調整する方法とすることができる。このような手段によれば、第二の分周率を変えることによって、位相を比較する頻度を調節することができる。

【 0 0 2 8 】

【発明の実施の形態】

以下において、本発明の実施の形態を図面を参照しつつ詳しく説明する。なお、図中同一符号は、同一又は相当部分を示す。

【 0 0 2 9 】

図 1 1 は、本発明の実施の形態に係る遅延時間調整回路の構成を示す図である。図 1 1 に示されるように、本発明の実施の形態に係る遅延時間調整回路は、入力バッファ 1 と、出力バッファ 5 と、第一分周器 1 1 と、第二分周器 1 2 と、DLL アレイ 3 と、ダミー回路 6 と、位相比較器 9 と、ディレイ調整器 1 0 とを備

える。

【0030】

そして後に詳しく説明するように、上記の第一分周器11は信号の位相を調整する際に用いられる基準（ターゲット）を決定する要素であり、第二分周器12は該位相の調整を図る頻度を決定する要素であると考えることができる。従って、第二分周器12における分周率を高めて上記頻度を低減すれば、消費電流を抑えることができることになる。

【0031】

上記において、入力バッファ1はクロック信号を入力する。また、第一分周器11及びDLLアレイ3は入力バッファ1に接続され、第二分周器12及び出力バッファ5はDLLアレイ3の出力端に接続される。ここで、第一分周器11はターゲットクロック信号tclkを出力する。そして、上記の遅延時間調整回路は、上記第一分周器11と第二分周器12の分周率が異なるものとされる点に特徴がある。

【0032】

また、ダミー回路6は第二分周器12に接続され、遅延クロックdclkを出力する。そして、位相比較器9は第一分周器11及びダミー回路6の出力端に接続され、結果を示す信号outを出力する。また、ディレイ調整器10は位相比較器9に接続され、その出力端はDLLアレイ3に接続される。なお、ディレイ調整器10からDLLアレイ3へは制御信号CSが供給される。

【0033】

ここで、上記の第一分周器11における分周率は例えば1とすることができるが、この場合には第一分周器11は入力された信号をそのまま位相比較器9へ供給することとなる。従って、この場合の遅延時間調整回路の構成は、図12に示されるような第一分周器11自体がない回路と等価となり、入力バッファ1から出力された信号がターゲットクロックtclkとして直接位相比較器9へ供給されることになる。なお、図12に示された遅延時間調整回路においては、後述するようにDLLアレイ7に含まれる遅延段数（インバータINV1～INVn）は従来より少なくても足りる。

【 0 0 3 4 】

以下において、上記の図 1 2 に示された遅延時間調整回路の動作を図 1 3 から図 1 7 を参照しつつ説明する。なお、図 1 2 に示された第二分周器 1 2 の分周率は 4 とされる。

【 0 0 3 5 】

上記より、図 1 3 (a) に示されたターゲットクロック信号 tclk に対して、図 1 3 (b) に示された遅延クロック信号 dclk の周波数は、4 分の 1 とされる。そして、遅延クロック信号の最初のクロックがターゲットクロック信号の一番目のクロックに対して時間 F 6 だけ遅れている場合には、ターゲットクロック信号がロウレベル (L) からハイレベル (H) となるいわゆる立ち上がり時刻 T 1, T 2, T 3 では、遅延クロック信号はロウレベルとなっている。従って、このような場合には、位相比較器 9 は、遅延クロック信号の位相がターゲットクロック信号に対して遅れているという判定結果 (decrease) を示す信号 out をディレイ調整器 1 0 へ供給する。

【 0 0 3 6 】

これより、ディレイ調整器 1 0 は信号 out に応じた制御信号 CS を DLL アレイ 7 に供給し、DLL アレイ 7 における遅延時間が時間 F 6 だけ短縮される。このような動作により、遅延クロック信号の位相がターゲットクロック信号の位相に揃えられる。

【 0 0 3 7 】

また、図 1 4 に示されるように、遅延クロック信号の最初のクロックがターゲットクロック信号の一番目のクロックに対してより長い時間遅れている場合には、時刻 T 4 において遅延クロック信号はハイレベルとなる。このような場合には、遅延クロック信号の最初のクロックがターゲットクロック信号の二番目のクロックに対して進んでいるという判定結果 (increase) を示す信号 out をディレイ調整器 1 0 へ供給する。これより、ディレイ調整器 1 0 は信号 out に応じた制御信号 CS を DLL アレイ 7 に供給し、DLL アレイ 7 における遅延時間が時間 F 7 だけ延長される。従って、図 1 4 に示されたような場合には、ターゲットクロック信号における二番目のクロックを基準として、遅延クロック信号の位相がター

ゲットクロック信号の位相に揃えられる。

【0038】

また、図15に示されるように、遅延クロック信号の最初のクロックがターゲットクロック信号の一番目のクロックに対してより長い時間遅れている場合には、ターゲットクロック信号がロウレベル（L）からハイレベル（H）となるいわゆる立ち上がり時刻T4では、遅延クロック信号はロウレベルとなっている。従って、このような場合には、位相比較器9は、遅延クロック信号の最初のクロックがターゲットクロック信号の二番目のクロックに対して遅れているという判定結果（decrease）を示す信号outをディレイ調整器10へ供給する。

【0039】

これより、ディレイ調整器10は信号outに応じた制御信号CSをDLLアレイ7に供給し、DLLアレイ7における遅延時間が時間F8だけ短縮される。このような動作により、遅延クロック信号の位相がターゲットクロック信号の位相に揃えられる。

【0040】

また、図16に示されるように、遅延クロック信号の位相がターゲットクロック信号に対してさらに長い時間遅れている場合には、時刻T5において遅延クロック信号はハイレベルとなる。このような場合には、遅延クロック信号の最初のクロックがターゲットクロック信号の三番目のクロックに対して進んでいるという判定結果（increase）を示す信号outをディレイ調整器10へ供給する。

【0041】

これより、ディレイ調整器10は信号outに応じた制御信号CSをDLLアレイ3に供給し、DLLアレイ3における遅延時間が時間F9だけ延長される。従って、図16に示されたような場合には、ターゲットクロック信号における三番目のクロックを基準として、遅延クロック信号の位相がターゲットクロック信号の位相に揃えられる。

【0042】

また同様に、図17に示されるように、遅延クロック信号がターゲットクロック信号に対してより長い時間遅れている場合には、ターゲットクロック信号がロ

ウレベル（L）からハイレベル（H）となるいわゆる立ち上がり時刻T5では、遅延クロック信号はロウレベルとなっている。従って、このような場合には、位相比較器9は、遅延クロック信号の最初のクロックがターゲットクロック信号の三番目のクロックに対して遅れているという判定結果（decrease）を示す信号outをディレイ調整器10へ供給する。

【0043】

これより、ディレイ調整器10は信号outに応じた制御信号CSをDLLアレイ7に供給し、DLLアレイ7における遅延時間が時間F10だけ短縮される。このような動作により、遅延クロック信号の位相がターゲットクロック信号の位相に揃えられる。

【0044】

ここで、図12に示された位相比較器9の回路構成が図18に示される。図18に示されるように、位相比較器9はNAND回路90～95を含み、遅延クロック信号dclkがNAND回路91，92へ供給され、ターゲットクロック信号tclkがNAND回路93へ供給される。そして、NAND回路95の出力端から信号outが出力される。ここで、以下に詳しく説明するように、位相比較器9においては、遅延クロック信号dclkのいわゆる立ち上がりに応じて、判定結果を示す一定レベルの信号outが出力される。従って、第二分周器12における分周率を高めれば、位相の調整を図る頻度を低減することによって消費電流を抑えることができることになる。

【0045】

図19は、遅延クロック信号dclkの最初のクロックがターゲットクロック信号tclkの一番目のクロックより遅れている場合の上記位相比較器9の動作を示す波形図である。なお、図19においては、遅延クロック信号dclkとターゲットクロック信号tclk及び信号outの他に、図19（c）から図9（f）において、それぞれNAND回路90～93の出力ノードNA，NB，NC，NDにおける電位変動が示されている。

【0046】

ここで、図19に示されるように、遅延クロック信号dclkの最初のクロックが

ターゲットクロック信号tclkの一番目のクロックより遅れている場合には、遅延クロック信号dclkのいわゆる立ち上がり時刻TB以前においては、NAND回路94, 95によりハイレベル又はロウレベルの信号outがラッチされる。そして、時刻TBにおいて遅延クロック信号dclkがハイレベルとなると、ノードNAの電位がロウレベルに下がり、その結果として信号outがロウレベルに固定される。このようにして、位相比較器9はロウレベルの信号outをディレイ調整器10に供給することにより、遅延クロック信号の最初のクロックがターゲットクロック信号の一番目のクロックに対して遅れているという判定結果(decrease)をディレイ調整器10へ伝達する。

【0047】

同様に図20は、遅延クロック信号dclkの最初のクロックがターゲットクロック信号tclkの一番目のクロックより進んでいる場合の上記位相比較器9の動作を示す波形図である。なお、図20においても、遅延クロック信号dclkとターゲットクロック信号tclk及び信号outの他に、図20(c)から図20(f)において、それぞれNAND回路90～93の出力ノードNA, NB, NC, NDにおける電位変動が示されている。

【0048】

ここで、図20に示されるように、遅延クロック信号dclkの最初のクロックがターゲットクロック信号tclkの一番目のクロックより進んでいる場合には、ターゲットクロック信号tclkのいわゆる立ち上がり時刻TB以前においては、NAND回路94, 95によりハイレベル又はロウレベルの信号outがラッチされる。そして、時刻TBにおいて遅延クロック信号dclkがハイレベルとなると、ノードNBの電位がロウレベルに下がり、その結果として信号outがハイレベルに固定される。このようにして、位相比較器9はハイレベルの信号outをディレイ調整器10に供給することにより、遅延クロック信号の最初のクロックがターゲットクロック信号の一番目のクロックに対して進んでいるという判定結果(decrease)をディレイ調整器10へ伝達する。

【0049】

以上のように、ターゲットクロック信号tclkは、入力バッファ1に入力される

クロック信号に対して分周率が1の信号等といった従来より周波数が高い信号とされる。これより、位相比較器9による位相の比較の際に基準として用いることができるクロックは、単位時間内により多く存在することになる。ここで、上記のように、ターゲットクロック信号tclkの中で遅延クロック信号dclkの最初のクロックとのずれが最小なクロックが位相を揃える場合の基準とされるため、上記ずれを従来より小さなものとすることができる。

【0050】

従って、本発明の実施の形態に係る遅延時間調整回路によれば、調整すべき遅延時間の幅を短縮することによって、遅延時間に関する所望の調整を迅速に遂行することができる。またさらに、入力バッファ1に供給されるクロック信号の低周波帯域においても、従来より少ない遅延段数（インバータINV1～INVn）を有するDLLアレイ7で遅延時間の調整ができることとなるため、回路規模を低減することができる。

【0051】

【発明の効果】

上述の如く、入力信号を第一の分周率で分周した信号の位相と、入力信号を所定時間遅延させ第二の分周率で分周した信号の位相とを比較した結果に応じて、双方の位相が一致するように上記所定時間を調整すれば、第一の分周率を変化させることにより遅延時間を調整する際の基準を任意の間隔で設定できるため、第一の分周率を小さくすることによって遅延時間を調整するために必要な時間と、遅延手段の回路規模とを低減することができる。

【0052】

また、第二の分周率を変化させることによって位相比較の頻度を任意に設定することができるため、第二の分周率を高めて該頻度を少なくし、消費電力を低減することができる。

【0053】

ここで、第一の分周率を1とすれば、入力信号をそのまま上記比較の対象とすることができるため、比較の結果をより速く得ることにより動作速度を高めることができると共に、第一の分周率で分周するための回路素子が不要となるため、

回路規模を縮減することができる。

【図面の簡単な説明】

【図 1】

従来の遅延時間調整回路の構成を示す図である。

【図 2】

図 1 に示された D L L (Delayed Locked Loop) アレイの構成を示す回路図である。

【図 3】

図 1 に示された遅延時間調整回路の動作を示す第一の波形図である。

【図 4】

図 1 に示された遅延時間調整回路の動作を示す第二の波形図である。

【図 5】

図 1 に示された遅延時間調整回路の動作を示す第三の波形図である。

【図 6】

図 1 に示された遅延時間調整回路の動作を示す第四の波形図である。

【図 7】

図 1 に示された遅延時間調整回路の動作を示す第五の波形図である。

【図 8】

図 1 に示された位相比較器の構成を示す図である。

【図 9】

遅延クロック信号の最初のクロックがターゲットクロック信号の一番目のクロックより遅れている場合における、図 8 に示された位相比較器の動作を示す波形図である。

【図 1 0】

遅延クロック信号の最初のクロックがターゲットクロック信号の一番目のクロックより進んでいる場合における、図 8 に示された位相比較器の動作を示す波形図である。

【図 1 1】

本発明の実施の形態に係る遅延時間調整回路の構成を示す図である。

【図 1 2】

図 1 1 に示された遅延時間調整回路の構成における具体例を示す図である。

【図 1 3】

図 1 2 に示された遅延時間調整回路の動作を示す第一の波形図である。

【図 1 4】

図 1 2 に示された遅延時間調整回路の動作を示す第二の波形図である。

【図 1 5】

図 1 2 に示された遅延時間調整回路の動作を示す第三の波形図である。

【図 1 6】

図 1 2 に示された遅延時間調整回路の動作を示す第四の波形図である。

【図 1 7】

図 1 2 に示された遅延時間調整回路の動作を示す第五の波形図である。

【図 1 8】

図 1 2 に示された位相比較器の構成を示す図である。

【図 1 9】

遅延クロック信号の最初のクロックがターゲットクロック信号の一番目のクロックより遅れている場合における、図 8 に示された位相比較器の動作を示す波形図である。

【図 2 0】

遅延クロック信号の最初のクロックがターゲットクロック信号の一番目のクロックより進んでいる場合における、図 8 に示された位相比較器の動作を示す波形図である。

【符号の説明】

- 1 入力バッファ
- 2, 4 分周器
- 3, 7 D L L (Delayed Locked Loop) アレイ
- 5 出力バッファ
- 6 ダミー回路
- 8, 9 位相比較器

10 デイレイ調整器

11 第一分周器

12 第二分周器

31 切り替え部

80～85, 90～95 NAND回路

SW1～SWn スイッチ

INV1～INVn インバータ

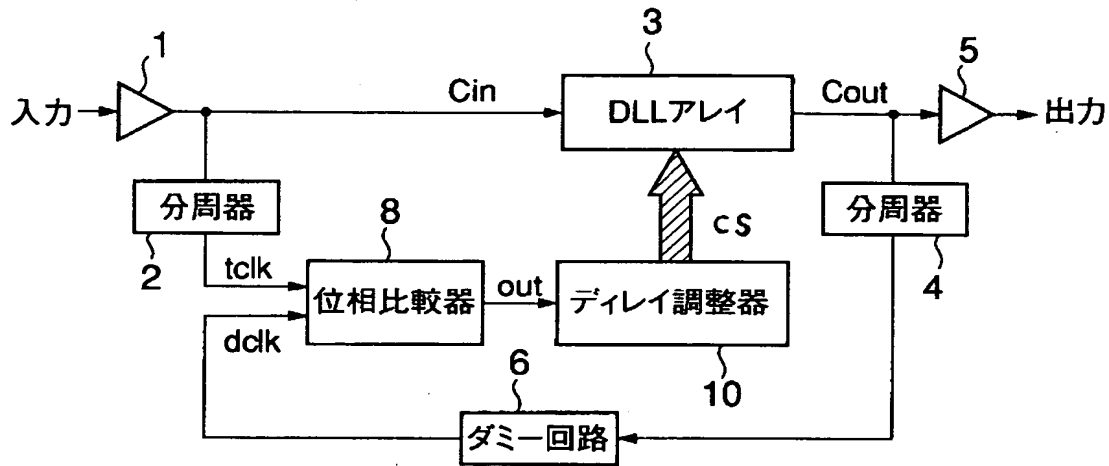
NA, NB, NC, ND ノード

【書類名】

図面

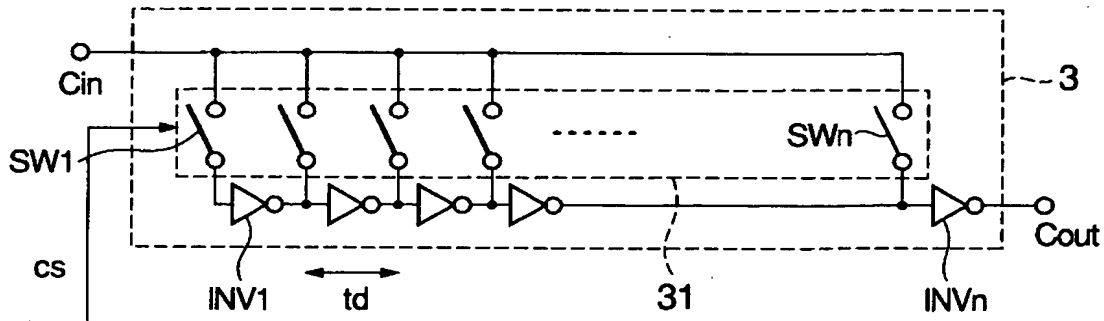
【図 1】

従来の遅延時間調整回路の構成を示す図



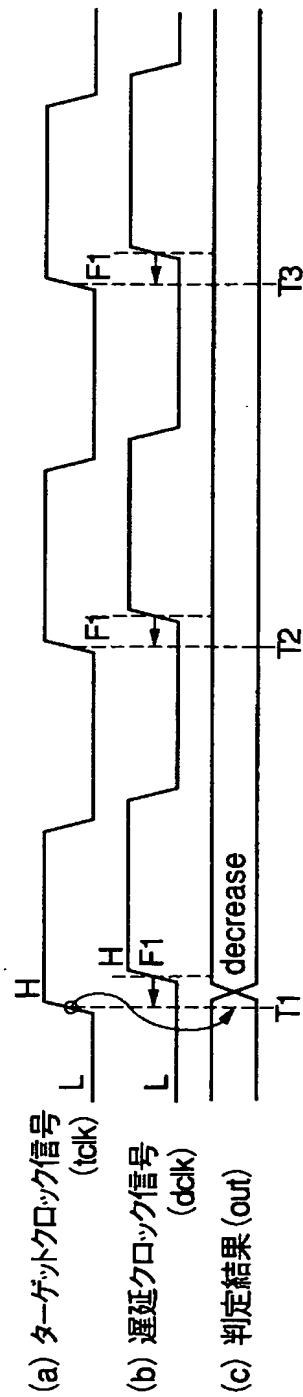
【図 2】

図1に示されたDLL (Delayed Locked Loop) アレイの構成を示す回路図



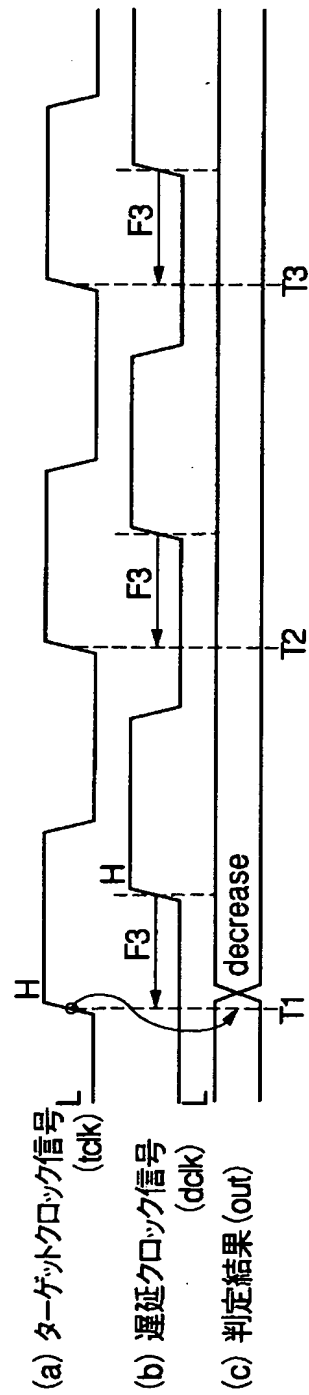
【図 3】

図1に示された遅延時間調整回路の動作を示す第一の波形図



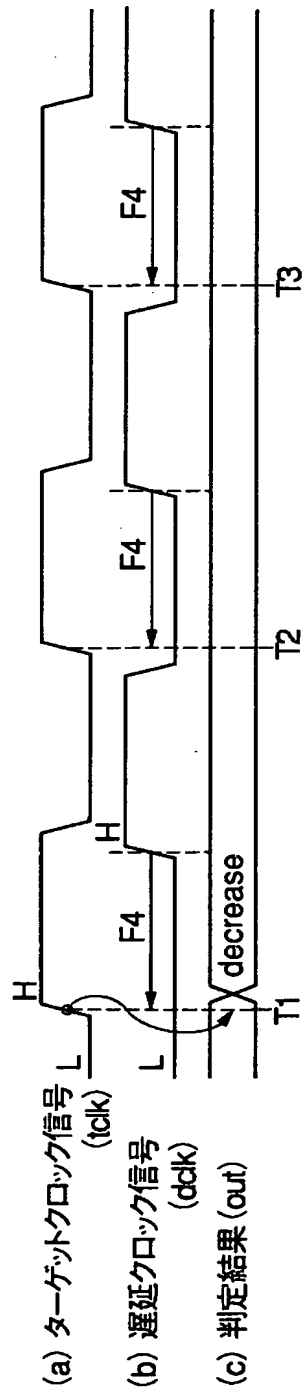
【図 5】

図1に示された遅延時間調整回路の動作を示す第三の波形図



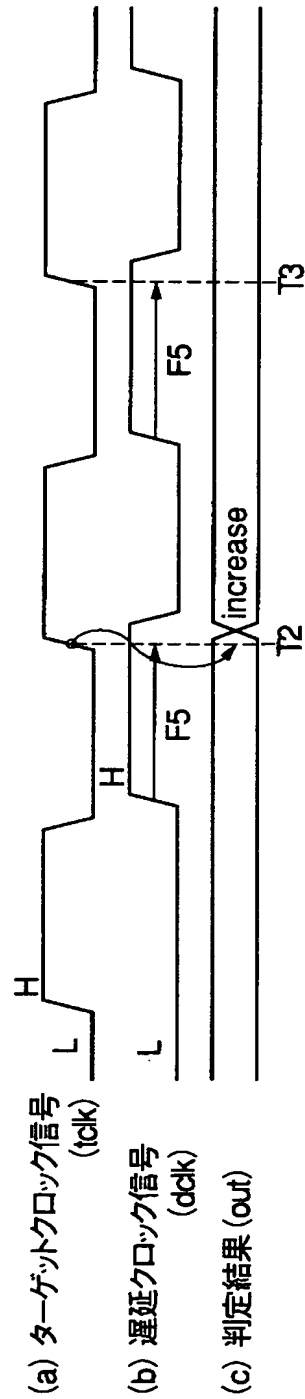
【図 6】

図1に示された遅延時間調整回路の動作を示す第四の波形図



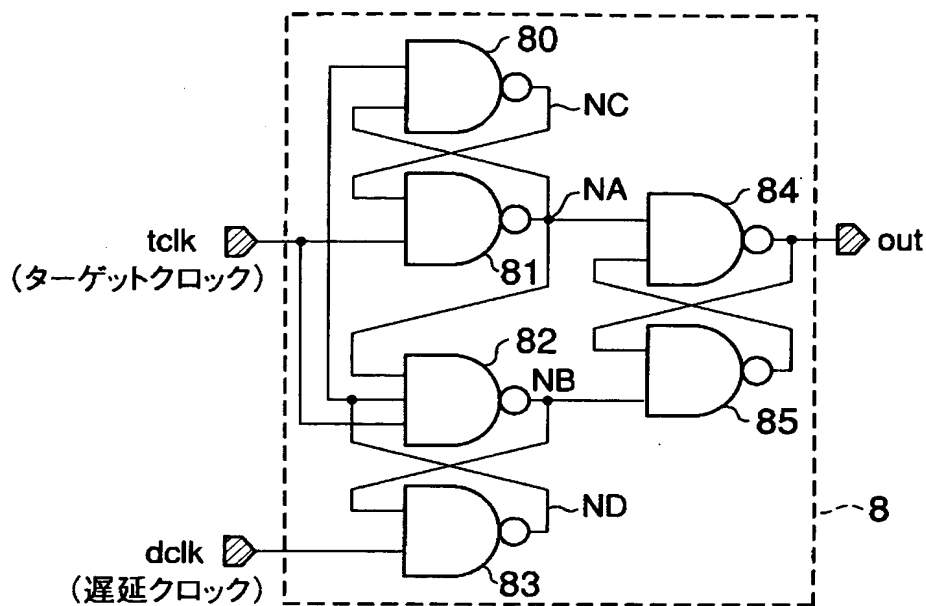
【図 7】

図1に示された遅延時間調整回路の動作を示す第五の波形図



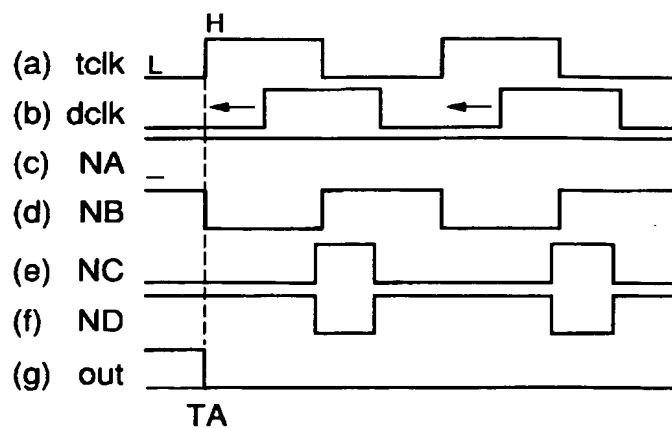
【図 8】

図1に示された位相比較器の構成を示す図



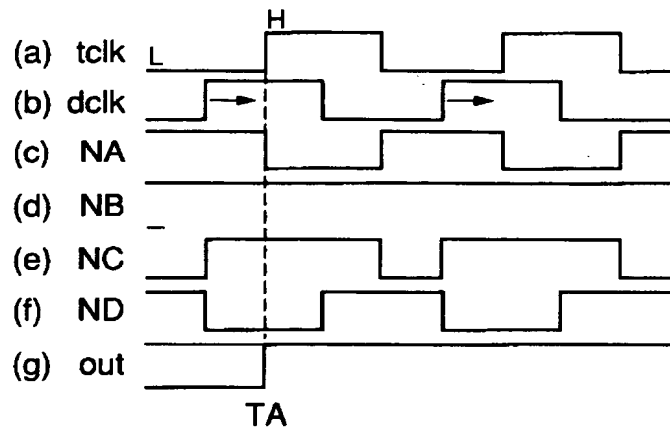
【図 9】

遅延クロック信号の最初のクロックがターゲットクロック信号の一番目のクロックより遅れている場合における、図8に示された位相比較器の動作を示す波形図



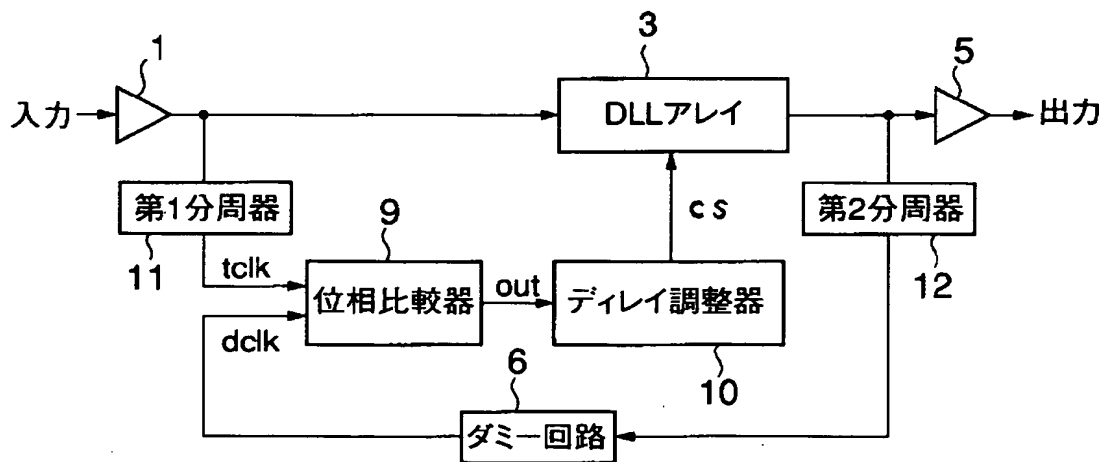
【図 1 0】

遅延クロック信号の最初のクロックがターゲットクロック信号の一番目のクロックより進んでいる場合における、図8に示された位相比較器の動作を示す波形図



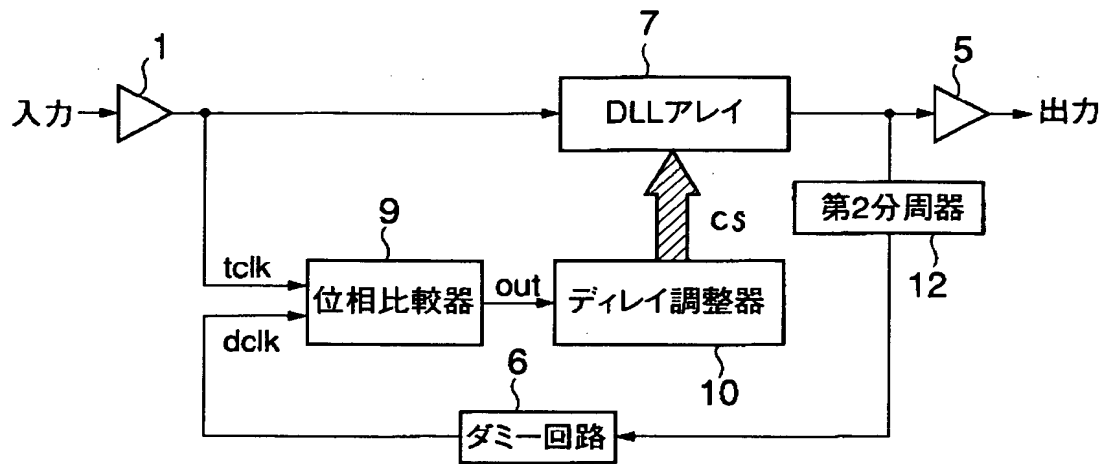
【図 1 1】

本発明の実施の形態に係る遅延時間調整回路の構成を示す図



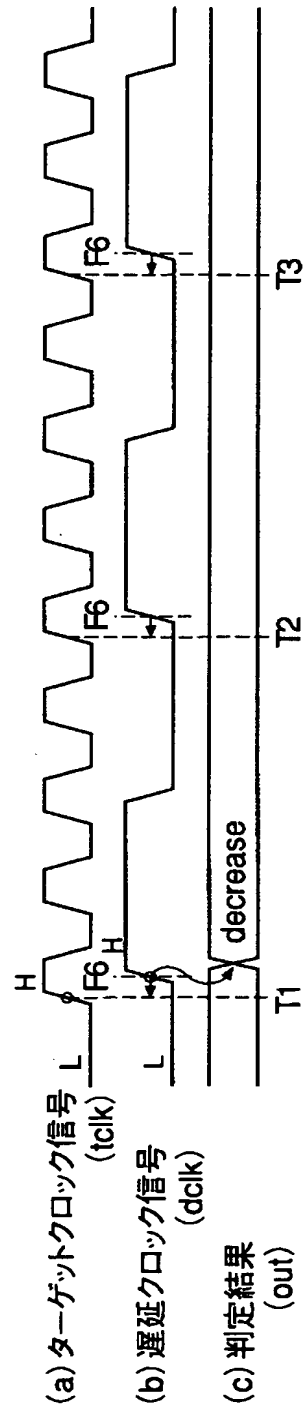
【図 1 2】

図11に示された遅延時間調整回路の構成における具体例を示す図



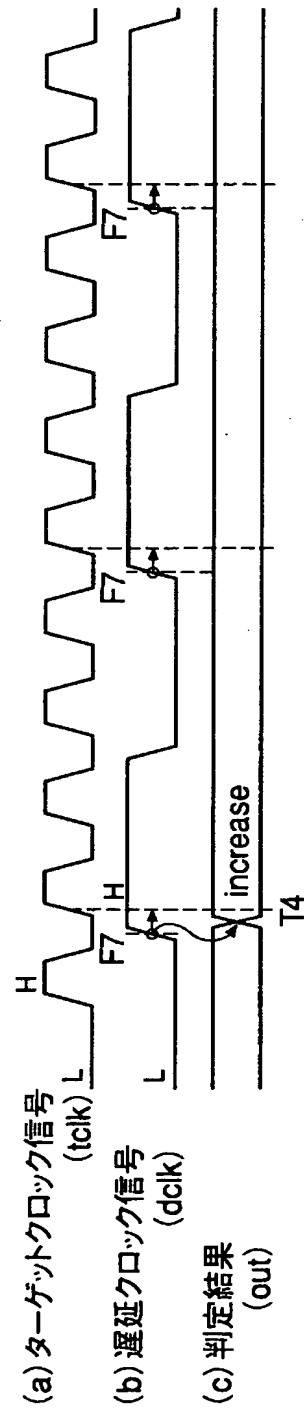
【図 13】

図12に示された遅延時間調整回路の動作を示す第一の波形図



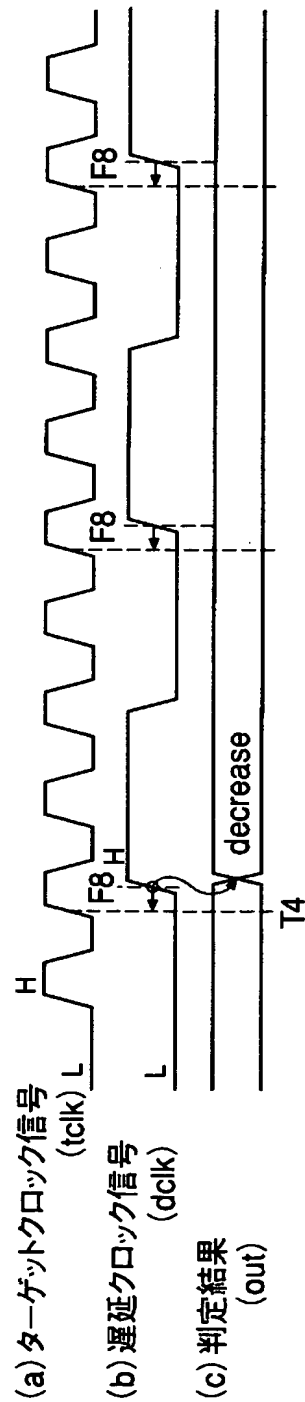
【図 14】

図12に示された遅延時間調整回路の動作を示す第二の波形図



【図 15】

図12に示された遅延時間調整回路の動作を示す第三の波形図



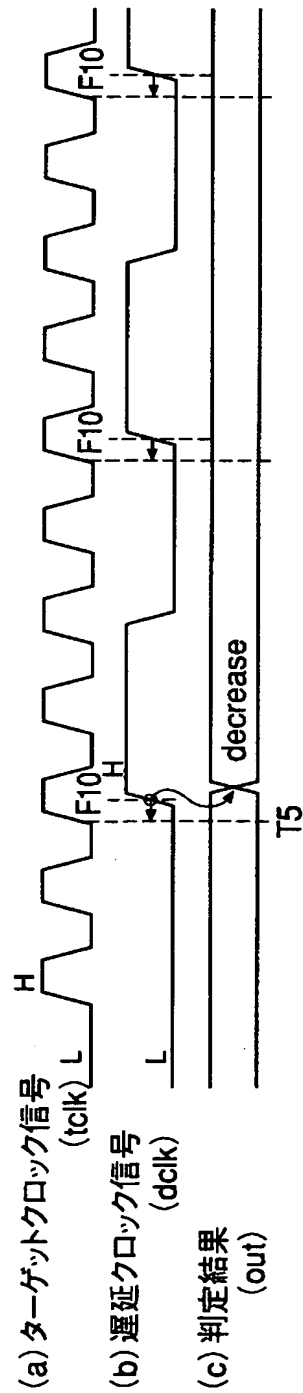
【図 16】

図12に示された遅延時間調整回路の動作を示す第四の波形図



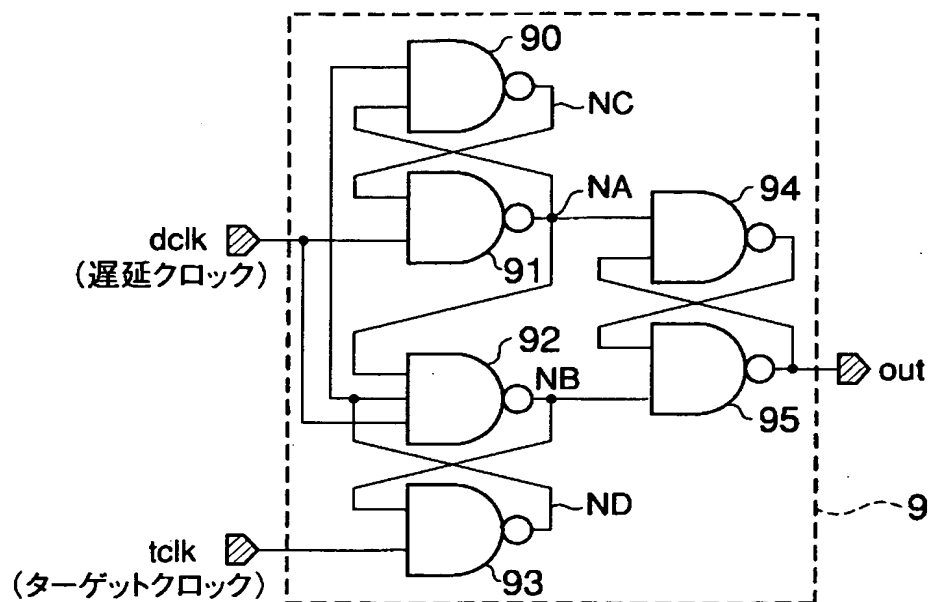
【図 17】

図12に示された遅延時間調整回路の動作を示す第五の波形図



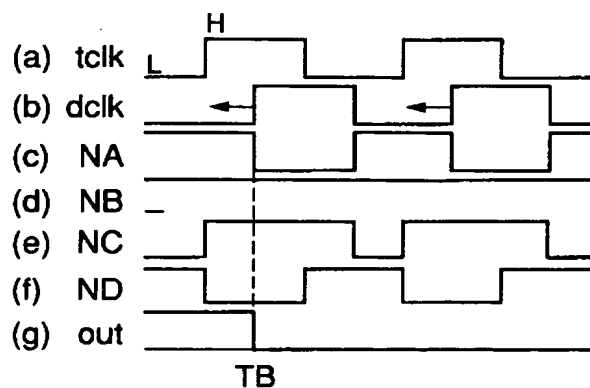
【図 1 8】

図12に示された位相比較器の構成を示す図



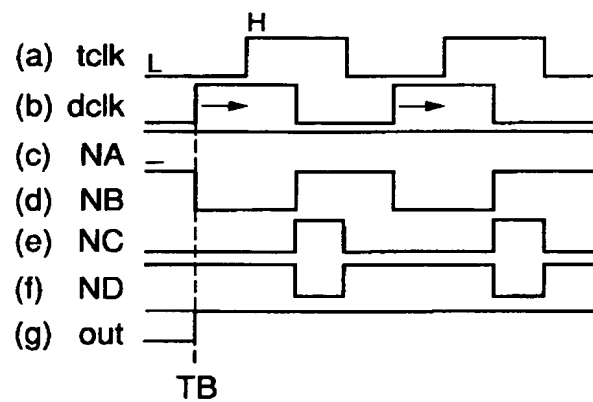
【図 1 9】

遅延クロック信号の最初のクロックがターゲットクロック信号の一番目のクロックより遅れている場合における、図8に示された位相比較器の動作を示す波形図



【図 2 0】

遅延クロック信号の最初のクロックがターゲットクロック信号の一番目のクロックより進んでいる場合における、図8に示された位相比較器の動作を示す波形図



【書類名】 要約書

【要約】

【課題】 高速に信号の遅延時間を調整できる遅延時間調整方法と、該遅延時間調整方法を実現する回路規模が低減された遅延時間調整回路とを提供する。

【解決手段】 入力信号と出力信号の位相が一致するように入力信号の遅延時間を調整する遅延時間調整回路であって、入力信号を第一の分周率で分周する第一分周器 11 と、入力信号を所定時間遅延させる D L L アレイ 3 と、D L L アレイ 3 で遅延された信号を第二の分周率で分周する第二分周器 4 と、第一分周器 11 で生成された信号と第二分周器 4 で生成された信号との位相を比較する位相比較器 9 と、位相比較器 9 における比較結果に応じて、D L L アレイで遅延させる時間を調整するディレイ調整器 10 とを備えることを特徴とする遅延時間調整回路を提供する。

【選択図】 図 1 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社